

## ⑱ 公開特許公報 (A) 平2-239319

⑲ Int. Cl. 5

G 06 F 3/12

識別記号 庁内整理番号  
G 8323-5B

⑳ 公開 平成2年(1990)9月21日

審査請求 未請求 請求項の数 2 (全10頁)

㉑ 発明の名称 画像情報出力装置

㉒ 特願 平1-59610

㉓ 出願 平1(1989)3月14日

㉔ 発明者 池田 純 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内  
 ㉕ 出願人 キヤノン株式会社 東京都大田区下丸子3丁目30番2号  
 ㉖ 代理人 弁理士 大塚 康徳 外1名

BEST AVAILABLE COPY

## 明細書

## 1. 発明の名称

画像情報出力装置

## 2. 特許請求の範囲

(1) 文書情報や画像情報を入力し、ピットマップに展開して出力する画像情報出力装置であつて、

前記文書情報を構成するコード情報をあるいは前記画像情報をピットマップ展開したパターン情報をうち優先度の高いパターン情報を記憶する高速メモリと、

前記文書情報を構成するコード情報をあるいは前記画像情報をピットマップ展開したパターン情報をうち優先度の低いパターン情報を記憶する大容量メモリと、

前記コード情報に対応するパターン情報を前記

高速メモリあるいは前記大容量メモリに存在するかどうかを判定し、存在するときは対応するメモリより前記パターン情報を読み出して画像情報を作成する画像情報形成手段と、

前記パターン情報を優先順位を指示する指示手段と、

前記優先順位に従つて、前記パターン情報を前記高速メモリ及び前記大容量メモリ間で入れ換えるように制御する制御手段と、  
を有することを特徴とする画像情報出力装置。

(2) 前記パターン情報は入力したコード情報をもとに、アウトラインフォントをピットマップに展開して得られるピットパターン情報をあることを特徴とする請求項第1項に記載の画像情報出力装置。

## 3. 発明の詳細な説明

## 〔産業上の利用分野〕

本発明は画像情報を印刷あるいは表示する画像情報出力装置に関し、特にデータ源よりコード情報を入力し、ピットマップに展開して出力する画像情報出力装置に関するものである。

## 〔従来の技術〕

文字や記号などのパターンデータをアウトラインフォントで記憶しておく、ホストコンピュータから受信した印字コードに基づいて、その印字コードをパターン展開して印刷あるいは表示を行なうプリンタやワードプロセッサなどが知られている。このようなアウトラインフォント情報は、文字パターン等の拡大や縮小あるいは回転に便利であるが、ピットマップフォントに展開するのに多くの時間を要するため、一旦ピットパターンに

エンジン 606 に出力されて、実際に印字が実行される。605 はキヤツシユメモリで、フォント ROM 603 のアウトラインフォントによりピットパターンに展開されたピットマップデータを一時的に保存している。602 は装置全体を制御するための制御部である。

次に第7図を参照して、この従来のプリンタにおける動作を説明する。

ステップ S101 ではデータ供給源 601 よりのデータ入力を待ち、データが入力されるとステップ S102 でデータの終了か、即ちプリントの開始かどうかを判定する。プリントの開始のときはステップ S103 に進み、プリンタエンジン 606 に印刷データを出力して、記録紙に印刷を行なう。プリントの開始でなく、文字コードなどの入力のときはステップ S103 に進み、フォント

展開したアウトラインフォント情報を、キヤツシユメモリと呼ばれる高速の RAM に記憶しておき、次に同じ文字が同じ大きさで展開されるときには、そのキヤツシユメモリに記憶されているパターンを読み出して使用するようにして、パターン展開に要する時間を縮小している。

第6図は従来のプリンタの概略構成を示すプロック図を参照して、従来の技術を説明する。図において、601 はホストコンピュータ等のデータ供給源で、文字や記号などの制御コードを発生してプリンタに供給している。603 はフォント ROM で、アウトラインフォントにより各文字や記号などのフォント情報を記憶している。604 はピットマップ展開された少なくとも 1 頁のイメージ情報を記憶する主記憶部である。この主記憶部 604 に記憶されたイメージデータがプリンタエ

ンジン 606 に出力されて、実際に印字が実行される。605 はキヤツシユメモリで、フォント ROM 603 の、どのフォントによりパターンに展開するかを判別する。次にステップ S4 でそのフォント情報が既にキヤツシユメモリ 605 に展開されているかどうかを判定し、キヤツシユメモリ 605 に展開されているときはステップ S107 に進み、その文字パターンを基に主記憶部 604 にピットマップ展開する。

キヤツシユメモリ 605 に展開されていないときはステップ S105 に進み、フォント ROM 603 のデータを基に、文字パターンの大きさの調整や肉付け、回転等のパターン処理を行つてピットイメージに展開する。こうして展開されたピットイメージデータは、キヤツシユメモリ 605 にそのまま記憶される。このピットイメージデータはまた、印刷のために主記憶部 604 に記憶されてプリンタエンジン 606 に出力される。このよ

うにしてキヤツシユメモリ605に記憶されたイメージデータは、後続の処理において同一パターンが必要なときはキヤツシユメモリ605より読み出され、主記憶部604に展開される。

#### [発明が解決しようとしている課題]

しかし前述したような構成では、キヤツシユメモリ605の容量に限度があるため、キヤツシユメモリ605が満杯になつたときは、それに記憶されているピットイメージのうち使用頻度の少ないものを消去するなどして、キヤツシユメモリの内容を更新する必要がある。このようなキヤツシユメモリの更新処理は、キヤツシユメモリの残量が少なくなつた場合などには非常に頻繁に発生するため、せつかく高価なキヤツシユメモリを用いても、充分に処理の高速化が図れないことがあつた。

画像情報をピットマップ展開したパターン情報をうち優先度の高いパターン情報を記憶する高速メモリと、前記文書情報を構成するコード情報あるいは前記画像情報をピットマップ展開したパターン情報をうち優先度の低いパターン情報を記憶する大容量メモリと、前記コード情報に対応するパターン情報が前記高速メモリあるいは前記大容量メモリに存在するかどうかを判定し、存在するときは前記パターン情報を対応するメモリより読み出して画像情報を作成する画像情報形成手段と、前記パターン情報の優先順位を指示する指示手段と、前記優先順位に従つて、前記パターン情報を前記高速メモリ及び前記大容量メモリ間に入れ換えるように制御する制御手段とを有する。

#### [作用]

以上の構成において、文書情報を構成するコー

本発明は上記従来例に鑑みてなされたもので、通常の高速のキヤツシユメモリに加えて、大容量のメモリにピットパターン情報を記憶してキヤツシユメモリとして使用し、優先度の低いピットパターン情報を大容量メモリに、逆に優先度の高いパターン情報を通常のキヤツシユメモリに格納するようにして、キヤツシユメモリにおけるパターン情報の更新の頻度を減少させてパターン展開処理を高速に実現できるようにした画像情報出力装置を提供することを目的とする。

#### [課題を解決するための手段]

上記目的を達成するために本発明の画像情報出力装置は以下の様な構成からなる。即ち、文書情報や画像情報等を入力し、ピットマップに展開して出力する画像情報出力装置であつて、前記文書情報を構成するコード情報あるいは前記

ド情報あるいは画像情報をピットマップ展開したパターン情報をうち優先度の高いパターン情報を高速メモリに、優先度の低いパターン情報を大容量メモリに記憶しておき、コード情報に対応するパターン情報が、その高速メモリあるいは大容量メモリに存在するかどうかを判定し、存在するときはそのパターン情報を、対応するメモリより読み出して画像情報を作成する。

これらパターン情報の優先順位が指示手段により指示されると、この優先順位に従つて、そのパターン情報を、高速メモリ及び大容量メモリ間に入れ換えるように動作する。

#### [実施例]

以下、添付図面を参照して本発明の好適な実施例を詳細に説明する。

#### [プリンタの説明 (第1図)]

第1図は実施例のプリンタの概略構成を示すブロック図である。

図において、101はプリンタ装置全体を制御している制御部で、マイクロプロセッサなどのCPU111、CPU111の制御プログラムや各種データなどを記憶しているROM112、CPU111のワークエリアとして使用されるRAM113などを備えている。102はホストコンピュータなどのデータ供給源で、この実施例のプリンタに印字データや各種制御コマンドなどを出力して、印字指示を行っている。103はフォントROMで、文字や記号などのアウトラインフォントをコード情報に対応して記憶している。104は主記憶部で、プリンタエンジン106に出力して印刷する画像データをビットイメージで記憶している。106は主記憶部104よりのビット

タなどを記憶しているROM115、CPU114のワークエリアとして使用されるRAM116などを備えている。108は例えば、ハードディスクやフロッピーディスクなどの外部記憶部で、前述したキヤツシユメモリ105と同様に、ビットマップに展開されたビットバターン情報を記憶し、後続の処理で同じバターンデータが必要なときはそのバターンデータを読み出して使用することができる。

109はバッファで、制御部101がフォントROM103を用いてバターン展開したビットバターンデータを書き込み、キヤツシユ制御部107がこのバッファ109を読み出すことにより、制御部101よりキヤツシユ制御部107にビットバターンデータを転送することができる。また逆に、このバッファ109を介してキヤツシユ制御

データを基に記録紙である記録媒体に印刷するプリンタエンジンである。

105はキヤツシユメモリで、データ供給源102より指示された文字コードなどを基に、フォントROM103を用いて展開したビットイメージを一時的に保存しておき、データ供給源102より同じ文字コードが指示されたときは、そのキヤツシユメモリ105に記憶されているビットイメージをもとに主記憶部104にバターン展開するように使用される。107はキヤツシユ制御部で、フォントROM103を用いてビットマップ展開されたビットイメージを、キヤツシユメモリ105あるいは外部記憶部108に記憶するかどうかを決定している。このキヤツシユ制御部107は、例えばマイクロプロセッサなどのCPU114、CPU114の制御プログラムや各種デー

部107より制御部101にビットバターンデータを転送することも可能である。

#### [キヤツシユ制御部の説明（第2図、第3図）]

第2図はキヤツシユ制御部107の概略構成と各記憶部（キヤツシユメモリなど）との接続を示す図で、第1図と共通する部分は同一記号で示している。

201はキヤツシユ制御部107全体の動作を制御するためのコントローラで、第1図に示すCPU114やROM115などを備えている。202はDMAコントローラ（DMAC）で、キヤツシユメモリ105とディスク108との間でのDMAデータ転送を制御している。203は第3図に詳細を示すキヤツシング・テーブルで、キヤツシユメモリ105及びディスク108に格納されているビットイメージデータの管理用に使用さ

れる。204は緩衝用のバッファで、キヤツシユメモリ105とディスク108との間に設けられ、それぞれのデータアクセススピードの差を緩衝するための緩衝バッファとして使用されている。

第3図はキヤツシング・テーブル203のデータ構成を示す図である。

301はフォントIDで、キヤツシユメモリ105あるいは外部記憶部108に記憶されているフォントパターンの種類が記憶されている、ここには、文字パターンの種類（文字コード）、大きさ、肉付け、書体、回転状態などを示すパラメータが含まれている。302はレベル情報で、キヤツシユメモリ105あるいは外部記憶部108に記憶する（キヤツシングする）際の優先度を記憶している。この優先度は、データ供給源102よ

りS3に進み、主記憶部104にビットマップ展開されているビットパターン情報をプリンタエンジン106に出力して印刷を行なう。

ステップS3で印字開始コードでなく文字コードであるときはステップS4に進み、その文字コードに対応するフォントデータをサーチするために、キヤツシユ制御部107に、その入力した文字コード（文字の大きさや書体情報などに加えて優先情報などを含む）を出力する。次にステップS5に進み、キヤツシユ制御部107よりの応答を待つ。その応答により、キヤツシユメモリ105あるいは外部記憶部（ディスク）108にその文字のフォント情報が記憶されていることが判明すると、再びステップS1に戻り、次のデータ入力を待つ。

キヤツシユ制御部107より、そのパターン

コードなどで指示されても良く、あるいはプリンタの図示しない操作スイッチなどにより指定されても良い。303は格納先情報で、そのビットマップデータがキヤツシユメモリメモリ105あるいは外部記憶部108のいずれに記憶されているかを示す情報と、そしてその格納アドレス情報とが記憶されている。

[動作説明（第4図、第5図）]

第4図は実施例のプリンタの制御部101の印字処理を示すフローチャートで、このフローチャートを実行する制御プログラムはROM112に記憶されている。

ステップS1でデータ供給源102よりデータを入力するとステップS2に進み、その入力したデータが印字開始を指示するコードかどうかを見る。印字の開始を指示するコードであればステッ

データがキヤツシングされていないと通知されるとステップS6に進み、入力したコード情報をもとにフォントROM103のアウトラインフォントを参照し、ビットマップに展開する。次に、ステップS7に進み、バッファ109にそのビットマップデータを転送して格納する。そして、ステップS8でキヤツシユ制御部107にビットマップへの展開が終了したことを通知してステップS9に進み、主記憶部104にそのビットマップデータを格納して処理を終了する。

第5図はキヤツシユ制御部107の動作を示すフローチャートで、この処理を実行する制御プログラムは、コントローラ201のROM115に記憶されている。この処理は、前述した第4図のフローチャートのステップS4により制御部101よりのコードを入力することにより開始され

る。

制御部101よりのコードを入力するとステップS21に進み、そのコードに対応するビットパターンデータが既に、キヤツシユメモリ105に記憶されているかを調べる。これは、キヤツシングテーブル203を参照することにより容易に判別できる。キヤツシユメモリ105に記憶されているときはステップS22に進み、キヤツシユメモリ105より、そのパターンデータを読み出して主記憶部104にビットマップ展開する。そしてこのとき同時に、制御部101に対し、対応するパターンデータがキヤツシユ内に存在していることを知らせる。なお、この主記憶部105にビットマップ展開するための主記憶部105のアドレスは、前もつて制御部101より与えられているものとする。

02あるいは図示しない操作パネルなどより指示された優先順位情報に基づいて決定されるものである。入れ換え処理が必要であると判定されるとステップS26に進み、DMAC202を用いてディスク108とキヤツシユメモリ105との間でビットパターンデータの入れ換えを実行する。こうして入れ換えが終了すると、キヤツシングテーブル203の内容を、この入れ換え処理に基づいて更新する。

ステップS23でディスク108にも、そのパターンデータが格納されていないときはステップS27に進み、そのパターンデータがキヤツシングされていないことを制御部101に知らせる。これにより第4図のステップS6～ステップS9で示した処理が制御部101で実行される。そして、ステップS8でキヤツシユ制御部107に展

ステップS21でキヤツシユメモリ105に、対応するパターンデータが存在しないときはステップS23に進み、対応するパターンデータがディスク108に記憶されているかどうかを見る。この動作も同様に、キヤツシングテーブル203を参照することにより容易に判別できる。対応するパターンデータがディスク108内に記憶されているとステップS24に進み、そのパターンデータをディスク108から読み出して、ステップS22と同様に、主記憶部104にビットマップ展開する。

次にステップS25に進み、ディスク108とキヤツシユメモリ105との間で、そのパターンデータを入れ換える必要があるかどうかを見る。これは、キヤツシングテーブル203に記憶されているレベル情報302あるいはデータ供給源1

開処理が終了した旨が通知されるとステップS28からステップS29に進む。

ステップS29では制御部101よりの情報をもとに、キヤツシング先がディスク108かキヤツシユメモリ105かを判別するとともに、そのパターンデータのレベルを決定する。これは制御部101より指示されても良く、あるいは前述したように、データ供給源102よりの指示により決定するようにしても良い。こうしてパターンデータの格納先アドレスと、そのレベルが決定されるとステップS30に進み、バッファ109によりそのパターンデータを読み出し、DMAC202により、対応するディスク108あるいはキヤツシユメモリ105に格納する。なお、これと同時にキヤツシングテーブル203が更新されることはないまでもない。

このように、キヤツシユメモリ105と外部記憶部108とをキヤツシユメモリとして用い、使用頻度が高く優先順位の高いパターンデータを高速のキヤツシユメモリ105に格納し、優先順位の低いパターンデータを大容量の比較的低速なディスク108などのメモリに記憶することにより、機器全体のパターン展開処理を高速に行なえる。

また、大容量のメモリをキヤツシングデータの母体とし、必要に応じて高速のキヤツシユメモリにアップロードすることにより、高速のキヤツシユメモリ内のパターンデータを削除するときは、大容量のメモリにそのパターンデータが含まれているため、データを入れ換えることなく単にキヤツシユメモリ内の該当するデータを削除するだけによくなる。

も低速のRAM（例えば、低速のダイナミックRAMなど）や、CD-ROMなどであつてもよい。

#### 〔発明の効果〕

以上説明したように本発明によれば、通常の高速のキヤツシユメモリに加えて、低速で大容量のメモリにピットパターン情報を記憶してキヤツシユメモリとして使用し、優先度の低いピットパターン情報を大容量メモリに、逆に優先度の高いパターン情報を通常のキヤツシユメモリに格納するようにして、キヤツシユメモリにおけるパターン情報の更新の頻度を減少させてパターン展開処理を高速に実現できる効果がある。

#### 4. 図面の簡単な説明

第1図は実施例のプリンタの概略機能構成を示す機能ブロック図。

なお、この実施例では、プリンタの場合で説明したがこれに限定されるものでなく、例えばCRTなどの表示装置やワードプロセッサなどのようにコード情報を入力し、それをパターン情報に展開して表示出力する場合にも適用できることはもちろんである。

また、この実施例では、文字のパターン展開の場合で説明したがこれに限定されるものでなく、文字や記号以外の画像データや图形データの場合にも、所定のコード情報で特定してキヤツシユメモリに記憶することにより、同様に実施できることはもちろんである。

さらに、この実施例では、高速のキヤツシユメモリとディスク等の外部記憶部とで説明したがこれに限定されるものでなく、低速で大容量メモリとしては、キヤツシユメモリで使用しているより

第2図は実施例のキヤツシユ制御部の構成とキヤツシユメモリやディスクとの接続を示す図。

第3図はキヤツシングテーブルのデータ構成を示す図。

第4図は実施例のプリンタの制御部における印字制御処理を示すフローチャート。

第5図は実施例のキヤツシユ制御部におけるパターン読み出し処理を示すフローチャート。

第6図は従来のプリンタの概略機能構成を示す機能ブロック図、そして

第7図は従来のプリンタにおける印刷処理を示すフローチャートである。

図中、101…制御部、102…データ供給源、103…フォントROM、104…主記憶部、105…キヤツシユメモリ、106…プリンタエンジン、107…キヤツシユ制御部、108

…外部記憶部、109…バッファ、111、11

4…CPU、112、115…ROM、113、

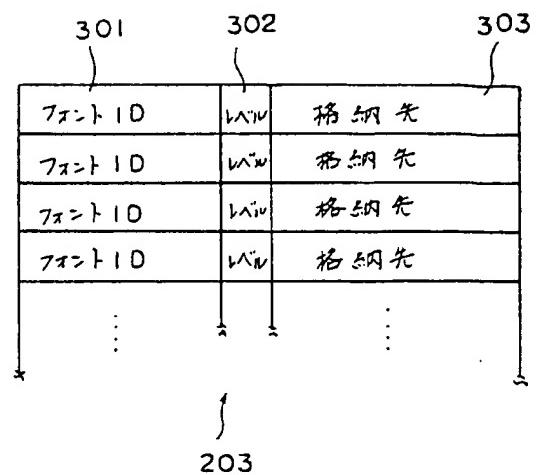
116…RAM、201…コントローラ、202

…DMAC、203…キヤツシングテーブル、2

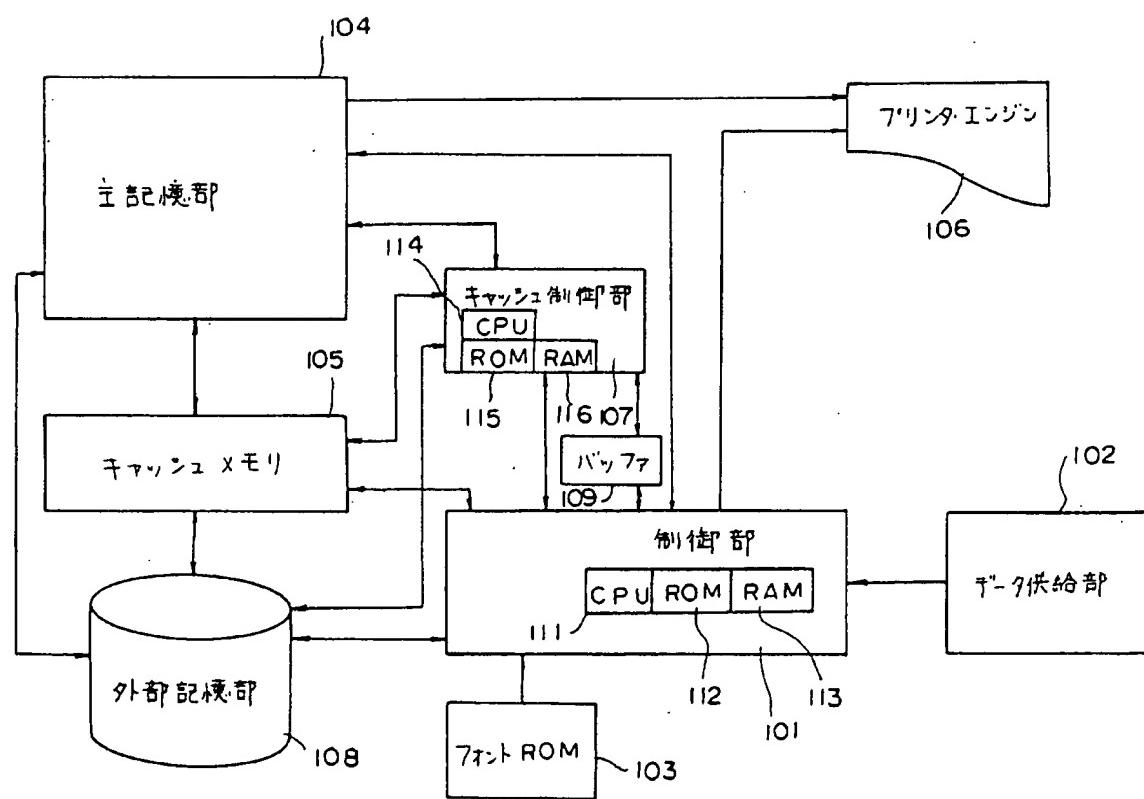
04…バッファである。

特許出願人 キヤノン株式会社

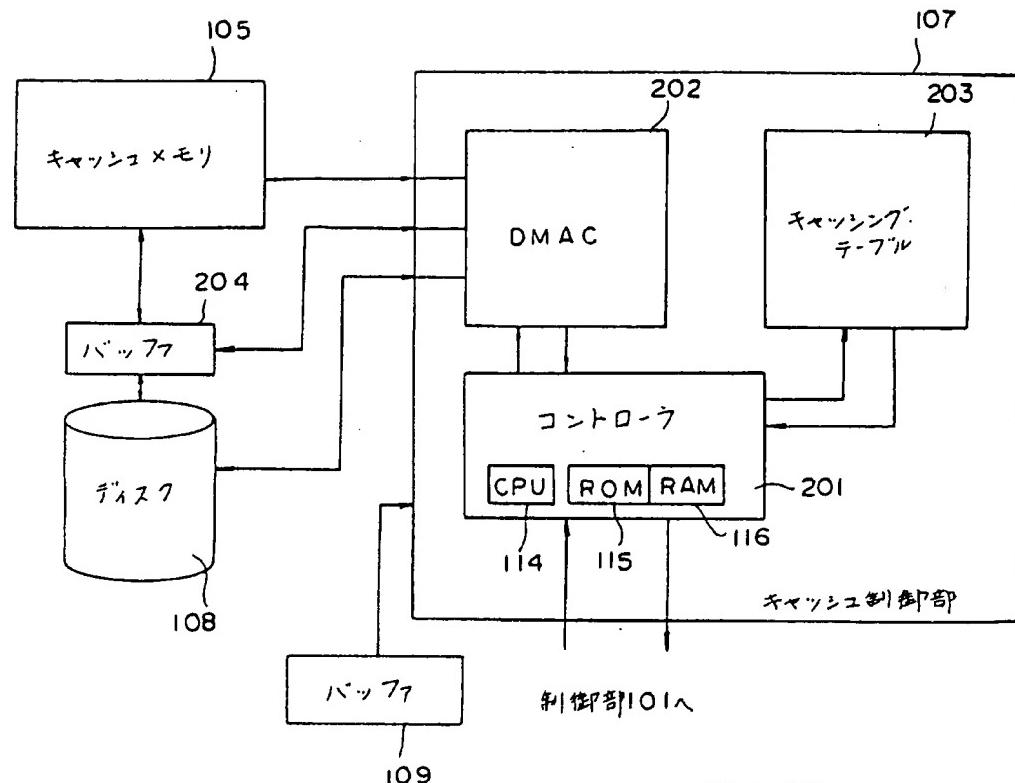
代理人 弁理士 大塚廣徳（他1名）



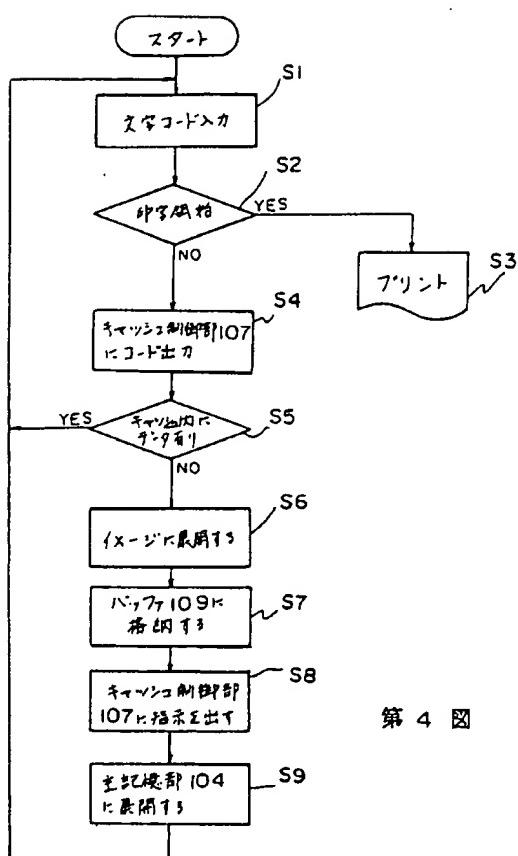
第3図



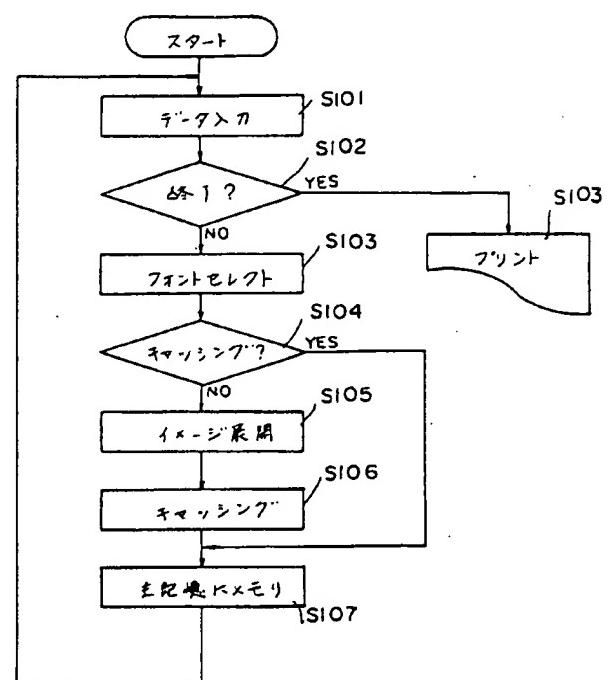
第1図



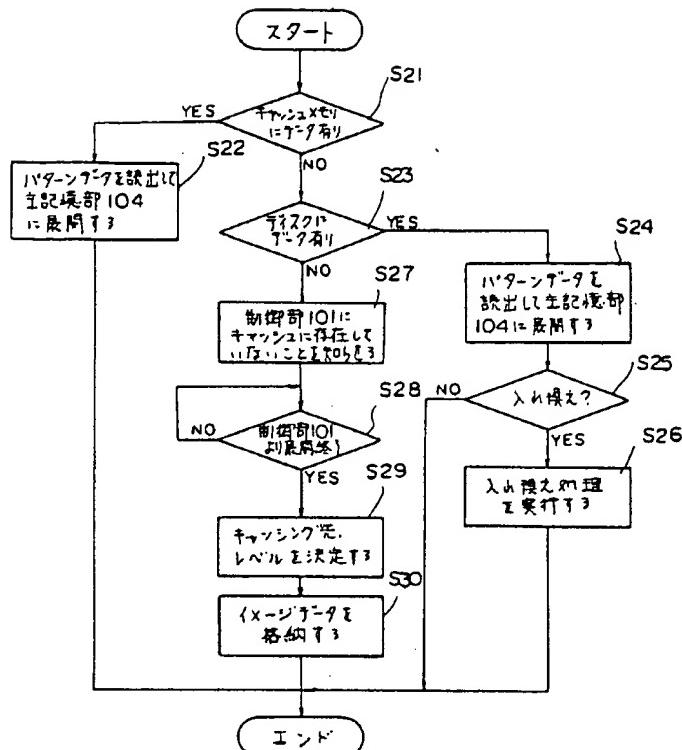
第 2 図



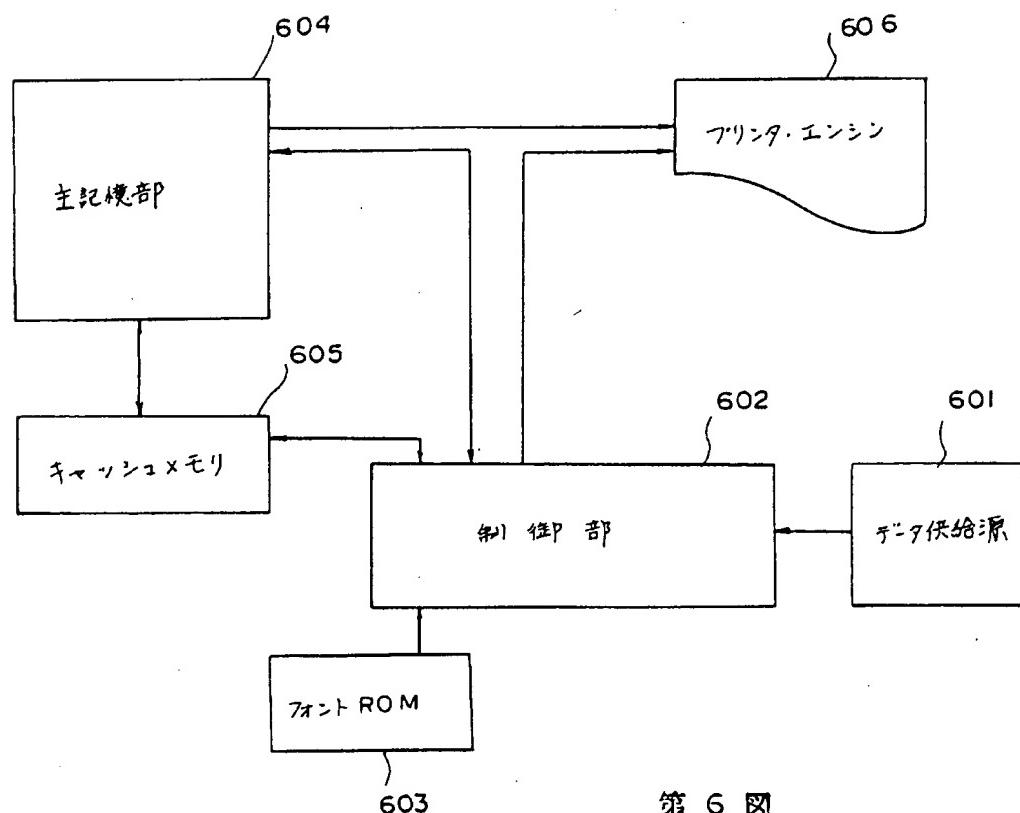
第 4 図



第 7 図



第5図



第6図

**PAT-NO:** JP402239319A  
**DOCUMENT-IDENTIFIER:** JP 02239319 A  
**TITLE:** PICTURE INFORMATION OUTPUT DEVICE  
  
**PUBN-DATE:** September 21, 1990

**INVENTOR-INFORMATION:**

**NAME** COUNTRY  
IKEDA, JUN

**ASSIGNEE-INFORMATION:**

**NAME** COUNTRY  
CANON INC N/A

**APPL-NO:** JP01059610

**APPL-DATE:** March 14, 1989

**INT-CL (IPC):** G06F003/12

**ABSTRACT:**

**PURPOSE:** To realize a pattern expanding processing at high speed by storing bit pattern information in low-priority in a large scale memory, and pattern information in high-priority in a normal cache memory.

**CONSTITUTION:** It is discriminated whether a caching destination is a disk 108 or the cache memory 105 based on information from a control part 101, and the level of pattern data is decided. The decision can be executed by the instruction of the control part 101 or by the instruction of a data supply source 102. When a storing destination address and the level are decided, the pattern data is read from a buffer 109 and DMAC 202 stores it in the corresponding disk 108 or the cache memory 105. In such a case, the pattern expanding processing of a whole device can be executed at high speed by storing pattern data which is frequently used and has high priority in the high speed cache memory 105, and pattern data in low-

priority in the memory of the disk 108 which has a large scale and is in comparatively low speed.

COPYRIGHT: (C)1990, JPO&Japio

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER: \_\_\_\_\_**

**IMAGES ARE BEST AVAILABLE COPY.  
As rescanning these documents will not correct the image  
problems checked, please do not report these problems to  
the IFW Image Problem Mailbox.**